

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-293897

(43)Date of publication of application : 11.11.1997

(51)Int.Cl.

H01L 33/00

H01L 21/20

H01S 3/18

(21)Application number : 08-107834

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 26.04.1996

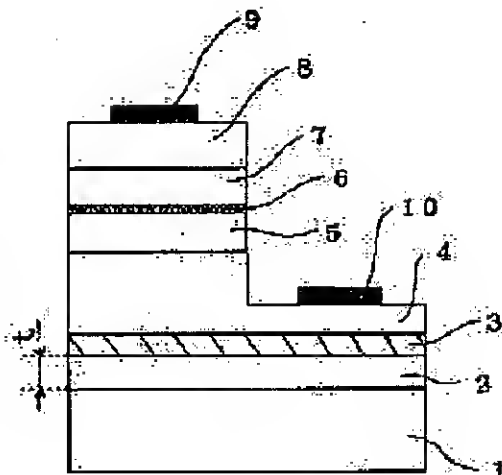
(72)Inventor : KANO TAKASHI  
KUNIZATO TATSUYA  
UEDA YASUHIRO  
MATSUSHITA YASUHIKO  
YAGI KATSUMI

## (54) SEMICONDUCTOR ELEMENT AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the number of pits and provide a flatly grown layer, by stacking a buffer layer made of a III-V nitride semiconductor and a single crystal underlying layer made of an undoped III-V nitride semiconductor onto a substrate in this order.

**SOLUTION:** After a non-single crystal AlGaIn or AlIn buffer layer 2 is formed on a substrate 1 in close contact thereto at a non-single crystal growth temperature, the temperature is raised to a single crystal growth temperature to form an undoped single crystal underlying layer 3 on the buffer layer 2 in close contact thereto. Therefore, the number of pits may be reduced, and the single crystal underlying layer 3 having excellent crystallinity, surface property and flatness may be formed. As a result, the crystallinity, flatness and surface property of a grown layer made of a III-V nitride semiconductor formed on the underlying layer 3 are improved, and a good p-type layer may be obtained. Thus, the manufacturing yield of the semiconductor element may be significantly improved. In the case where the semiconductor element is a light-emitting device, a high optical output is enabled.



## LEGAL STATUS

[Date of request for examination]

26.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
to registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

[Claim(s)]

[Claim 1] The semiconductor device characterized by having the single crystal ground layer which consists of a buffer layer which consists of a III-V group nitride system semiconductor on a substrate, and a III-V group nitride system semiconductor of undoping in the semiconductor device which consists of a III-V group nitride system semiconductor in this sequence.

[Claim 2] The semiconductor device according to claim 1 characterized by having the clad layer of the 1st conductivity type which consists of a III-V group nitride system semiconductor, the barrier layer which consists of a III-V group nitride system semiconductor, and the clad layer of the 2nd conductivity type which consists of a III-V group nitride system semiconductor in this sequence on the aforementioned single crystal ground layer.

[Claim 3] The aforementioned buffer layer is a semiconductor device according to claim 1 or 2 characterized by the barrier layer from a non-single crystal layer.

[Claim 4] The aforementioned buffer layer is a semiconductor device the claims 1 and 2 characterized by the barrier layer from an AlN layer, or given in three.

[Claim 5] The aforementioned buffer layer is a semiconductor device the claims 1 and 2 characterized by the barrier layer from an AlGaIn layer, or given in three.

[Claim 6] The aforementioned ground layer is a semiconductor device the claims 1, 2, 3, and 4 characterized by being a GaN layer, or given in five.

[Claim 7] The aforementioned ground layer is a semiconductor device the claims 1, 2, 3, and 4 characterized by being an AlGaIn layer, or given in five.

[Claim 8] The manufacture method of the semiconductor device characterized by growing up the single crystal ground layer which consists of a buffer layer which consists of a III-V group nitride system semiconductor on a substrate, and a III-V group nitride system semiconductor of undoping in the manufacture method of the semiconductor device which manufactures the semiconductor device which consists of a III-V group nitride system semiconductor using a vapor growth in this sequence.

[Claim 9] The manufacture method of a semiconductor device according to claim 8 that growth temperature of a buffer layer which consists of the aforementioned III-V group nitride system semiconductor is characterized by being non-single crystal growth temperature.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to a semiconductor device and its manufacture method.

[0002]

[Description of the Prior Art] Light emitting devices which consist of III-V group nitride system semiconductors, such as GaN, AlGaIn, InGaIn, or InAlGaIn, such as light emitting diode and semiconductor laser, attract attention from the direct transition from luminescence of a blue shell ultraviolet region with large luminescence intensity, especially blue luminescence being possible.

[0003] Drawing 4 is the type section view showing the conventional III-V group nitride system semiconductor light emitting diode.

[0004] For an InGaIn barrier layer and 105, as for a p type GaN contact layer and 107, a p type AlGaIn clad layer and 106 are [ the n type GaN contact layer a GaN buffer layer and whose 103 101 are also n type clad layers as for a sapphire substrate and 102, and 104 / p lateral electrode and 108 ] n lateral electrodes among drawing 4 .

[0005] Each class of \*\*\*\* light emitting diode is formed as follows.

[0006] First, the GaN buffer layer 102 of a non-single crystal is formed by the MOCVD method (organic-metal vapor growth) at the growth temperature of 600 degrees C on the sapphire substrate 101.

[0007] Next, in order to grow up the n type GaN contact layer 103, a temperature up is carried out to the temperature of 1150 degrees C. This single-crystalizes the GaN buffer layer 102, and a seed single crystal is grown up into a layer 102. Then, the n type GaN contact layer 103 (growth temperature : 1150 degrees C), the InGaIn barrier layer 104 (growth temperature : 860 degrees C), the p type AlGaIn clad layer 105 (growth temperature : 1150 degrees C), and the p type GaN contact layer 106 (growth temperature : 1150 degrees C) are grown up in this sequence by the MOCVD method on the GaN buffer layer 102 which has this seed single crystal.

[0008]

[Problem(s) to be Solved by the Invention] However, many pits (hole etc.) occur in the above-mentioned GaN buffer layer 102, front-face nature (surface morphology) is bad, a pit occurs in the growth phase 103 formed on this buffer layer 102, i.e., n type contact layer, a barrier layer 104, p type clad layer 105, and p type contact layer 106, and flat nature falls remarkably. Consequently, the leakage current occurred and also especially the layer formed on the GaN buffer layer 102 was difficult for n-carrier concentration to become three or more [  $1 \times 10^{18} \text{cm}^{-3}$  ], and to form p mold in the state of undoping. Therefore, property degradation of hardly emitting light arose and there was a problem that the manufacture yield was very bad.

[0009] Such a problem is similarly produced, even if it replaces with a GaN layer and uses the AlN layer of a non-single crystal, and an AlGaIn layer as a buffer layer 2.

[0010] It is the purpose to offer the semiconductor device from which this invention is accomplished in view of an above-mentioned trouble, the number of pits is reduced and a flat growth phase is obtained, and its manufacture method.

[0011]

[Means for Solving the Problem] The semiconductor device of this invention is characterized by having the single crystal ground layer which consists of a buffer layer which consists of a III-V group nitride system semiconductor on a substrate, and a III-V group nitride system semiconductor of undoping in this sequence in the semiconductor device which consists of a III-V group nitride system semiconductor. The semiconductor device of this invention means photo detectors, such as light emitting devices, such as a wafer, light emitting diode, and semiconductor laser, and a photodiode, etc.

[0012] Furthermore, it is characterized by having the clad layer of the 1st conductivity type which consists of a III-V group nitride system semiconductor, the barrier layer which consists of a III-V group nitride system semiconductor, and the clad layer of the 2nd conductivity type which consists of a III-V group nitride system semiconductor in this sequence on the aforementioned single crystal ground layer. In this case, it is used as light emitting devices, such as light emitting diode and semiconductor laser.

[0013] Especially the aforementioned buffer layer is characterized by the buffer layer from a non-single crystal layer.

[0014] Furthermore, the aforementioned buffer layer is characterized by the buffer layer from an AlN layer.

[0015] Furthermore, the aforementioned buffer layer is characterized by the buffer layer from an AlGaIn layer.

[0016] Furthermore, it is characterized by the aforementioned ground layer being a GaN layer.

[0017] Furthermore, it is characterized by the aforementioned ground layer being an AlGaIn layer.

[0018] Moreover, the manufacture method of the semiconductor device of this invention is characterized by growing up the single crystal ground layer which consists of a buffer layer which consists of a III-V group nitride system semiconductor on a substrate, and a III-V group nitride system semiconductor of undoping in this sequence in the manufacture method of the semiconductor device which manufactures the semiconductor device which consists of a III-V group nitride system semiconductor using a vapor growth.

[0019] Growth temperature of a buffer layer which consists of the aforementioned III-V group nitride system semiconductor specially is characterized by being non-single crystal growth temperature.

[0020] Furthermore, the aforementioned buffer layer may have an AlGa<sub>N</sub> layer to a desirable thickness, and an AlN layer is sufficient.

[0021] Furthermore, as for the aforementioned ground layer, it is desirable that it is a GaN layer, and it is desirable also in an AlGa<sub>N</sub> layer.

[0022] Furthermore, on the aforementioned single crystal ground layer, the clad layer of the 1st conductivity type which consists of a III-V group nitride system semiconductor, the barrier layer which consists of a III-V group nitride system semiconductor, and the clad layer of the 2nd conductivity type which consists of a III-V group nitride system semiconductor may be formed by the vapor growth in this sequence, and light emitting devices, such as light emitting diode and semiconductor laser, may be formed.

[0023] The above 1st and the clad layer of the 2nd conductivity type have an AlGa<sub>N</sub> layer or a good GaN layer.

[0024] When the above-mentioned buffer layer consists of Al<sub>x</sub>Ga<sub>1-x</sub>N (0 < x ≤ 1), as for 0.6 or less [ 0.5 or more ], one or less [ 0.4 or more ] is [ aluminum composition ratio x ] at best still more desirable.

[0025] Moreover, the thickness of the above-mentioned Al<sub>x</sub>Ga<sub>1-x</sub>N (0 < x ≤ 1) buffer layer has the very desirable 80Å or more range of 180Å or less, and 90Å or more 140Å or less has 90Å or more still more desirable still more desirable 160Å or less.

[0026] As a buffer layer, the Al<sub>x</sub>Ga<sub>1-x</sub>N (x is abbreviation 0.5) layer of 110–120Å of abbreviation is especially more preferably good 100Å or more 130Å or less thickness.

[0027] In order to suppress that a composition element is especially desorbed from the aforementioned barrier layer, it is desirable to form the cap layer which is close all over [ aforementioned ] a barrier-layer top, and consists of a III-V group nitride system semiconductor. As for this cap layer, forming by the vapor growth is desirable.

[0028] Especially the aforementioned barrier layer may contain In and may consist of an InGa<sub>N</sub> layer further.

[0029] As for especially the aforementioned cap layer, it is desirable that a band gap is larger than the aforementioned barrier layer. As for the band gap of this cap layer, it is more desirable that it is the middle size of the band gap of a barrier layer and the clad layer of the 2nd conductivity type.

[0030] Furthermore, as for the aforementioned cap layer, it is desirable that it is an undoping layer.

[0031] Moreover, as for the aforementioned cap layer, it is desirable to have the thickness more than the thickness which does not \*\*\*\* the quantum effect.

[0032] Especially the aforementioned cap layer is characterized by being a GaN layer.

[0033] Moreover, in the manufacture method of the light emitting device which manufactures the III-V group nitride system semiconductor light emitting device which has the barrier layer which consists of InGa<sub>N</sub> using the vapor growth, you may form the cap layer which consists of GaN at 700-degree-C or more growth temperature of 950 degrees C or less by the vapor growth on the aforementioned barrier layer.

[0034] furthermore, the crystal-growth temperature of the aforementioned cap layer is below the temperature that a barrier layer can single crystal grow — good — desirable — the growth temperature of a barrier layer, and abbreviation — it is the same temperature

[0035] Since the time when a composition element may be desorbed from a barrier layer by following formation of the aforementioned barrier layer and forming is almost lost, the aforementioned cap layer is desirable.

[0036] As the above-mentioned vapor growth, the MOCVD method is desirable.

[0037]

[Embodiments of the Invention] The III-V group nitride system semiconductor light emitting diode which is one gestalt of operation of this invention is explained in detail using drawing 1.

[0038] The Al<sub>x</sub>Ga<sub>1-x</sub>N (0 < x ≤ 1) non-single crystal buffer layer of undoping of t Å of thickness by which one was formed in the sapphire insulating substrate among drawing 1, and 2 was formed on the substrate 1, The GaN single crystal ground layer of undoping of 0.2 micrometers of thickness by which 3 was formed on the buffer layer 2, The n type GaN contact layer of Si dope which makes n type clad layer of 1.4 micrometers of thickness by which 4 was formed on the ground layer 3 serve a double purpose, The In<sub>q</sub>Ga<sub>1-q</sub>N (q = 0.05) barrier layer by which Zn and Si of 0.2 micrometers of thickness by which 5 was formed on n type contact layer 4 were doped, The GaN cap layer of undoping of 200Å of thickness which prevents crystal degradation of the InGa<sub>N</sub> barrier layer 5 by which 6 was formed on the barrier layer 5, The p type Al<sub>z</sub>Ga<sub>1-z</sub>N (z = 0.2) clad layer by which Mg of 0.15 micrometers of thickness with which 7 was formed on the cap layer 6 was doped, and 8 are the p type GaN contact layers by which Mg of 0.3 micrometers of thickness formed on p type clad layer 7 was doped.

[0039] p lateral electrode which consists of Au by which 9 was formed in the part on p type contact layer 8, and 10 are n lateral electrodes which consist of aluminum formed on n lateral-electrode formation field which it was removed very much in the predetermined position in the layer of p type contact layer 8 to n type contact layer 4, and n type contact layer 4 exposed.

[0040] The manufacture method of \*\*\*\* light emitting diode is explained. With this operation gestalt, each class is formed of an organic metalization study vapor growth (the MOCVD method).

[0041] First, after installing a substrate 1 in organic metalization study vapor-growth equipment, it changes into the state where it held in the non-single crystal growth temperature of 600 degrees C, for example, growth temperature, (substrate temperature), and AlGa<sub>N</sub> or the AlN buffer layer 2 of a non-single crystal is grown up on the substrate 1 as carrier gas, using ammonia, trimethylgallium (TMG), or a trimethylaluminum (TMA) as H<sub>2</sub>, N<sub>2</sub>, and material gas.

[0042] Then, on a buffer layer 2, it changes into single crystal growth temperature and the state where it held preferably in growth temperature of 1000–1200 degrees C, for example, 1150 degrees C, and the GaN ground layer 3 of undoping of a single crystal is grown up as carrier gas, using ammonia and trimethylgallium (TMG) as H<sub>2</sub>, N<sub>2</sub>, and material gas.

[0043] Then, on the ground layer 3, it is in single crystal growth temperature and the state preferably held in growth temperature of 1000–1200 degrees C, for example, 1150 degrees C, and the n type GaN contact layer 4 of Si dope of a single crystal is grown up as H<sub>2</sub>, N<sub>2</sub>, and material gas as carrier gas, using SiH<sub>4</sub> as ammonia, trimethylgallium (TMG), and dopant gas.

[0044] Next, on n type contact layer 4, it changes into single crystal growth temperature and the state where it held

preferably in growth temperature of 700–950 degrees C, for example, 860 degrees C, and Si of a single crystal and the InGaN barrier layer 5 of Zn doper grown up as H<sub>2</sub>, N<sub>2</sub>, and material gas as carrier gas, using SiH<sub>4</sub> and diethylzinc (DEZ) as ammonia, triethylgallium (TEG), trimethylindium (TMI), and dopant gas.

[0045] Then, on the InGaN barrier layer 5, it is in the state held to single crystal growth temperature and the same desirable growth temperature as the 700–950 degrees C, for example, 860 degrees C, barrier layer 5, and the GaN cap layer 6 of undoping of a single crystal is grown up as carrier gas succeeding growth of a barrier layer 5, using ammonia and trimethylgallium (TMG) as H<sub>2</sub>, N<sub>2</sub>, and material gas.

[0046] Then, it changes into single crystal growth temperature and the state where it held preferably in growth temperature of 1000–1200 degrees C, for example, 1150 degrees C, and uses Cp2Mg (magnesium cyclopentadienyl) as ammonia, trimethylgallium (TMG), a trimethylaluminum (TMA), and dopant gas as H<sub>2</sub>, N<sub>2</sub>, and material gas as carrier gas on the GaN cap layer 6, and the p type AlGaIn clad layer 7 of Mg dope of a single crystal is grown up.

[0047] Next, it changes into single crystal growth temperature and the state where it held preferably in growth temperature of 1000–1200 degrees C, for example, 1150 degrees C, and uses Cp2Mg (magnesium cyclopentadienyl) as ammonia, trimethylgallium (TMG), and dopant gas as H<sub>2</sub>, N<sub>2</sub>, and material gas as carrier gas on p type clad layer 7, and the p type GaN contact layer 8 of Mg dope of a single crystal is grown up.

[0048] A substrate 1 is taken out from the above-mentioned equipment after the above-mentioned crystal growth, etching removal even of the layer middle of p type contact layer 8 to n type contact layer 4 is carried out by the reactant ion-beam-etching method (the RIE method), and n lateral-electrode formation field which n type contact layer 4 exposed is produced.

[0049] And while activating the dopant of p type contact layer 8 and p type clad layer 7 and making it high carrier concentration, in order to recover crystal degradation by etching of n type contact layer 4, heat treatment is performed for 30 – 60 minutes at 700–800 degrees C among nitrogen atmosphere.

[0050] Then, while forming the p lateral electrode 9 which consists of Au by the vacuum deposition etc. on p type contact layer 8, after forming the n lateral electrode 10 which consists of aluminum by the vacuum deposition etc. on the above-mentioned n lateral-electrode formation field of n type contact layer 4, it heat-treats at 500 degrees C, ohmic contact of the n lateral electrodes 9 and 10 is carried out the p side, respectively, and the light emitting diode shown in drawing 1 is formed.

[0051] Drawing 2 is the above-mentioned light emitting diode production conditions and these conditions. on the sapphire substrate 1 The Al<sub>x</sub>Ga<sub>1-x</sub>N (0 < x < 1) non-single crystal layer of undoping of Thickness t as a buffer layer 2, The value of full width at half maximum (half-value width) of the X-ray rocking curve which carried out X-ray irradiation of the GaN single crystal ground layer 3 of undoping, and asked for it up to the ground layer 3 of the wafer formed in this sequence is shown. and drawing 3 The value of full width at half maximum of the X-ray rocking curve for which it asked by carrying out X-ray irradiation of the AlN non-single crystal layer of undoping of Thickness t and the GaN single crystal ground layer 3 of undoping as a buffer layer 2 on the sapphire substrate 1 on these above-mentioned conditions to up to the ground layer 3 of the wafer accomplished in this sequence is shown.

[0052] When this drawing 2 and drawing 3 to the buffer layer 2 consists of Al<sub>x</sub>Ga<sub>1-x</sub>N (0 < x <= 1), as for 0.6 or less [ 0.5 or more ], one or less [ 0.4 or more ] is [ aluminum composition ratio x ] at best still more desirable.

[0053] Moreover, since the above-mentioned Al<sub>x</sub>Ga<sub>1-x</sub>N (0 < x <= 1) buffer layer 2 has a dot very much in [ 80A or more ] 180A or less, this range is very desirable and 90A or more 140A or less has 90A or more still more desirable still more desirable 160A or less.

[0054] As a buffer layer 2, the Al<sub>x</sub>Ga<sub>1-x</sub>N (x is abbreviation 0.5) layer of 110–120A of abbreviation is especially more preferably good 100A or more 130A or less thickness.

[0055] full width at half maximum was good so that \*\*\*\* might show, moreover the pit was reduced and the GaN ground layer 3 in which it was formed on the above-mentioned Al<sub>x</sub>Ga<sub>1-x</sub>N (0 < x <= 1) buffer layer 2 had flat nature and very good surface morphology.

[0056] For example, there is no pit in each growth phase which grew on the ground layer 3, and it excels in flat nature and front-face nature very much, and there is no generating with a poor property by the leakage current resulting from the pit, moreover good p type layer is obtained, and the light emitting diode using the aluminum<sub>0.5</sub>Ga<sub>0.5</sub>N layer of undoping of 110A of thickness as a buffer layer 2 has a very good manufacture yield.

[0057] Furthermore, in the light emitting diode of this operation form, high power luminescence was realizable. The crystallinity of a barrier layer 5 is for \*\*\*\*\* well by the ground layer 3 with the good reason.

[0058] By in addition, composition which has the GaN cap layer 6 of undoping formed in the InGaIn barrier layer 5 by being close with this operation form It is because it is suppressed that In etc. is desorbed from a barrier layer 5, the number of the crystal defects of a barrier layer 5 decreases and crystalline degradation is suppressed during formation of a barrier layer 5, or after formation. further The above-mentioned barrier layer 5 is because it is thought of because it was suppressed that an impurity [ \*\*\*\* / un- ] is spread to this barrier layer 5 since there are few crystal defects.

[0059] Furthermore, since it is the so-called undoping layer formed without using a dopant intentionally, and diffusion of the impurity [ \*\*\*\* / un- ] to a barrier layer 5 is fully suppressed and a barrier layer 5 changes into a good state further, the cap layer 6 of this operation form can be attaining a high increase in power more. That is, since the impurity diffusion [ \*\*\*\* / un- ] to a barrier layer 5 is notably suppressed by the diffusion depressor effect of the impurity to the barrier layer 5 by what in the case of this operation form desorption of the composition element from a barrier layer 5 was suppressed, and the number of crystal defects of a barrier layer 5 reduced, and both the effects of the diffusion depressor effect of the impurity to the barrier layer 5 by the cap layer 6 being an undoping layer, a high increase in power is more realizable with effects.

[0060] Thus, the variation in luminescence wavelength is small, a possibility of becoming misfire light does not almost have it, either, moreover, the light emitting diode of this operation form has notably large luminescence intensity, and its manufacture yield is also very good.

[0061] Although full width at half maximum of the X-ray rocking curve for which it asked by on the other hand carrying out X-ray irradiation of the non-single crystal GaN buffer layer of undoping of 200A of thickness (optimum value) and the GaN

ground layer of the single crystal of undoping of 1.2 micrometers of thickness on the sapphire substrate 1 to up to the GaN ground layer of the wafer which grew by the MOCVD method was able to acquire about 410 sec(s) and the very small value, many pits occurred and the element manufacture yield using this wafer was remarkably bad.

[0062] Moreover, when the GaN non-single crystal buffer layer of undoping, the AlGaIn non-single crystal buffer layer of undoping, or the AlN non-single crystal buffer layer of undoping was used without using a ground layer, the element manufacture yield was remarkably bad.

[0063] By the manufacture method of above-mentioned light emitting diode, after it is [the buffer layer 2 of the non-single crystal] close end forming it at non-single crystal growth temperature on a substrate 1, since adhesion formation of the GaN single crystal ground layer 3 of undoping on a buffer layer 2 is carried out where temperature up maintenance is carried out at single crystal growth temperature, the number of pits can be reduced, and the single crystal ground layer 3 in which crystallinity, front-face nature, and flat nature were very excellent can be formed. Consequently, since the crystallinity, flat nature, and front-face nature of each class formed on this ground layer 3 become very good, p type layer good [both] whose yield improves is also obtained.

[0064] Since especially manufacture of \*\*\*\* light emitting diode can prevent desorption of the composition element from the InGaIn barrier layer 5 after forming the cap layer 6 while being able to suppress desorption of the composition element of the InGaIn barrier layer 5 in case this cap layer 6 is formed since the GaN cap layer 6 of undoping is grown up to be right above [whole InGaIn barrier-layer 5 surface] below at the temperature in which the crystal growth of the InGaIn barrier layer 5 is possible, it is the desirable manufacture method.

[0065] especially — this operation form — the growth temperature of a barrier layer 5 and the cap layer 6 — abbreviation — since it grows up continuously as the same, desorption of the composition element from a barrier layer 5 can fully be suppressed

[0066] In addition, in \*\*\*\*, although it was larger than the case where there is no cap layer 6 when thickness of the cap layer 6 was made into 100Å to the luminescence intensity when making thickness of the cap layer 6 into 200Å being 340 (arbitrary unit), luminescence intensity became 36 (arbitrary unit) and abbreviation 1/10. Moreover, they were 0.8 times when 1.4 times when making thickness into 200Å when thickness of the cap layer 6 is made into 300Å, and thickness were made into 400Å. This shows that the thickness of the cap layer 6 has a desirable effect by 200–400Å, and the thickness of the cap layer 6 does not have the quantum effect \*\*\*\*\* — it can be said that more than thickness is desirable

[0067] In addition, as a single crystal ground layer 3 of undoping, although an AlGaIn layer besides a GaN layer is sufficient, an AlN layer is not desirable.

[0068] Next, III–V group nitride system semiconductor luminescence die OO concerning the 2nd operation form of this invention is explained.

[0069] As a cap layer 6, the point that this operation form differs from the 1st form is replaced with the GaN layer of undoping, and is a point using the AluGa1–uN layer (1 u abbreviation 0. 0.2) of undoping of 200Å of thickness. This AluGa1–uN layer is also formed by the MOCVD method — having — growth temperature — single crystal growth temperature — it is 700–950 degrees C, for example, 860 degrees C, preferably, and H<sub>2</sub>, N<sub>2</sub>, and material gas of carrier gas are ammonia, trimethylgallium (TMG), and a trimethylaluminum (TMA)

[0070] Compared with the case where there is no cap layer 6 also in this case, luminescence intensity became large notably and its manufacture yield also improved.

[0071] However, compared with the time of presupposing that luminescence intensity in case the GaN cap layer 6 of undoping is 200Å is 450 (arbitrary unit) with the 1st operation form, the luminescence intensity in the case of being the AluGa1–uN cap layer 6 of undoping whose u is about 0.1 was 190 below a half (arbitrary unit).

[0072] Furthermore, the luminescence intensity in the case of being the AluGa1–uN cap layer 6 of undoping whose u is about 0.2 was 1/3 in case u is 0.1.

[0073] It is good to make it smaller [as for the size of the band gap of the cap layer 6, it is desirable that it is between the band gaps of a barrier layer 5 and p type clad layer 7, and / moreover the cap layer 6 has most desirable GaN, and] than the band gap of p type clad layer 7, when using an AluGa1–uN layer from an above-mentioned thing.

[0074] Moreover, although the barrier layer 5 is formed in right above [n type contact layer 4], you may make an n type AlGaIn clad layer intervene in \*\*\*\* between the above-mentioned n type contact layer 4 and a barrier layer 5.

[0075] Although the barrier layer of the non-quantum well structure which is not quantum well structure as a barrier layer 5 was used with each above-mentioned operation form. Of course, you may use single quantum well structure and multiplex quantum well structure. For example, the single quantum well structure and the InGa1–sN (1>s>0) quantum well layer which consist of an InGa1–sN (1>s>0) quantum well layer, and an InrGa1–rN (1>s>r>=0) quantum barrier layer — a shell — it is good also as multiplex quantum well structure

[0076] Although each above-mentioned operation form described the light emitting device equipped with the semiconductor layer on the insulating substrate, it may have a semiconductor layer on conductive substrates, such as a SiC substrate, and you may make it the light emitting device which has an electrode on the undersurface of the best layer and substrate of this semiconductor layer.

[0077] Moreover, although the barrier layer and p type clad layer were formed in this sequence on n type clad layer by \*\*\*\*, you may make it form a barrier layer and n type clad layer in this sequence on p type clad layer, namely, \*\*\*\* is good also as a reverse conductivity type.

[0078] Moreover, with each above-mentioned operation form, although the light emitting diode of double hetero structure was described, this invention is applicable also to the light emitting diode which consists of simple pn junction, and also applicable to semiconductor devices, such as photo detectors, such as light emitting devices, such as semiconductor laser other than light emitting diode, and a photodiode.

[0079] In addition, by \*\*\*\*, as a ground layer 3, although 0.2-micrometer thickness was used, it can change suitably in hundreds of Å – thousands of Å.

[0080]

[Effect of the Invention] Since the semiconductor device of this invention is equipped with the single crystal ground layer which consists of a buffer layer which consists of a III–V group nitride system semiconductor on a substrate, and a III–V

group nitride system semiconductor of undoping in the semiconductor device which consists of a III-V group nitride system semiconductor in this sequence, the number of pits reduces this single crystal ground layer, and crystallinity, flat nature, and front-face nature become good. Consequently, while the crystallinity, flat nature, and front-face nature of the growth phase which consists of a III-V group nitride system semiconductor formed on this single crystal become good, good p type layer is also obtained.

[0081] Therefore, the manufacture yield of a semiconductor device can be improved sharply. And when a semiconductor device is a light emitting device, a high optical output is possible.

[0082] When it has the clad layer of the 1st conductivity type which consists of a III-V group nitride system semiconductor, the barrier layer which consists of a III-V group nitride system semiconductor, and the clad layer of the 2nd conductivity type which consists of a III-V group nitride system semiconductor in this sequence, while being able to lose generating of the leakage current resulting from the pit and being able to improve the manufacture yield sharply on the aforementioned single crystal ground layer especially, light emitting devices, such as light emitting diode with large luminescence intensity and semiconductor laser, can be offered.

[0083] Since especially the aforementioned buffer layer fully functions as a buffer layer when consisting of a non-single crystal layer, it can improve the manufacture yield notably.

[0084] Furthermore, the aforementioned buffer layer can improve the manufacture yield more, when consisting of an AlN layer.

[0085] Especially the aforementioned buffer layer can improve the manufacture yield more preferably, when consisting of an AlGaIn layer.

[0086] Furthermore, the aforementioned ground layer can improve the manufacture yield preferably, when it is a GaN layer.

[0087] Moreover, the aforementioned ground layer can improve the manufacture yield preferably, when it is an AlGaIn layer.

[0088] Moreover, in the manufacture method of the semiconductor device which manufactures the semiconductor device which consists of a III-V group nitride system semiconductor using a vapor growth, since the manufacture method of the semiconductor device of this invention grows the single crystal ground layer which consists of a buffer layer which consists of a III-V group nitride system semiconductor on a substrate, and a III-V group nitride system semiconductor of undoping in this sequence, it can make good the crystallinity of a single crystal ground layer, and front-face nature. Consequently, since the crystallinity, flat nature, and front-face nature of the growth phase which consists of a III-V group nitride system semiconductor formed on this single crystal ground layer become good, the manufacture yield of a semiconductor device can be improved.

[0089] When the growth temperature of a buffer layer which consists of the aforementioned III-V group nitride system semiconductor especially is non-single crystal growth temperature, the manufacture yield of a semiconductor device can be improved preferably.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the type section view of the light emitting diode of the 1st operation gestalt of this invention.

[Drawing 2] In the wafer which carried out covering formation of the AlGaIn buffer layer of undoping on a substrate, and the GaN ground layer of undoping at this order, it is drawing showing the relation between the thickness of a buffer layer, and full width at half maximum of an X-ray rocking curve.

[Drawing 3] In the wafer which carried out covering formation of the AlIn buffer layer of undoping on a substrate, and the GaN ground layer of undoping at this order, it is drawing showing the relation between the thickness of a buffer layer, and full width at half maximum of an X-ray rocking curve.

[Drawing 4] It is the type section view of the conventional light emitting diode.

[Description of Notations]

- 1 Substrate
- 2 AlGaIn Buffer Layer of Undoping
- 3 GaN Single Crystal Ground Layer of Undoping
- 4 N Type GaN Contact Layer (N Type Clad Layer)
- 5 InGaIn Barrier Layer
- 6 GaN Cap Layer of Undoping
- 7 P Type AlGaIn Clad Layer

---

[Translation done.]



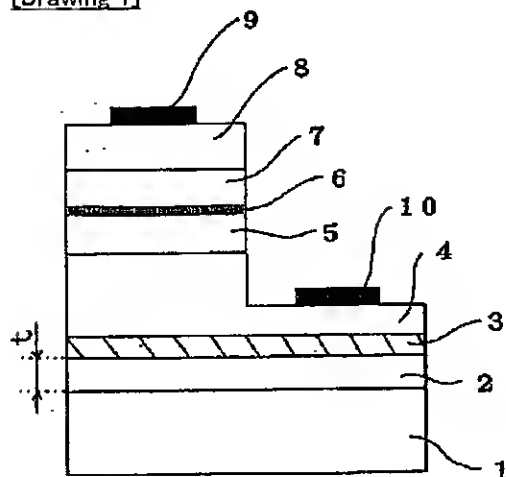
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

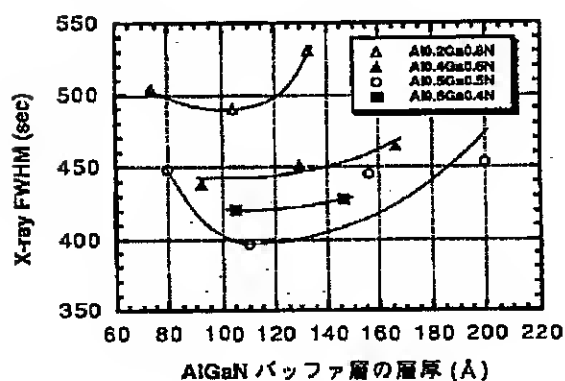
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

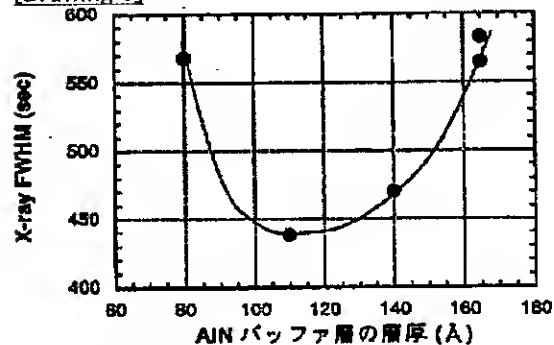
[Drawing 1]



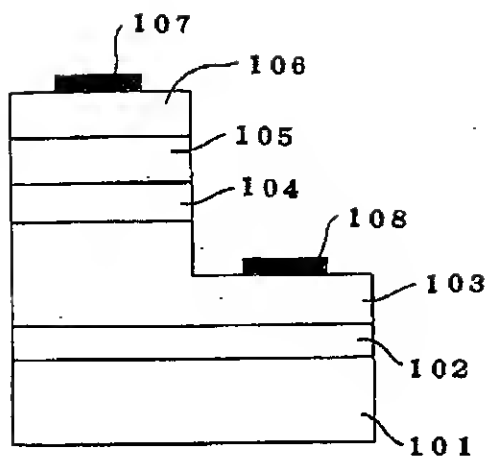
[Drawing 2]



[Drawing 3]



[Drawing 4]



---

[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293897

(43) 公開日 平成9年(1997)11月11日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	33/00		H 0 1 L	33/00 C
	21/20			21/20
H 0 1 S	3/18		H 0 1 S	3/18

審査請求 未請求 請求項の数9

O L

(全7頁)

(21) 出願番号 特願平8-107834

(22) 出願日 平成8年(1996)4月26日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 狩野 隆司

大阪府守口市京阪本通2丁目5番5号 三洋  
電機株式会社内

(72) 発明者 國里 竜也

大阪府守口市京阪本通2丁目5番5号 三洋  
電機株式会社内

(72) 発明者 上田 康博

大阪府守口市京阪本通2丁目5番5号 三洋  
電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外1名)

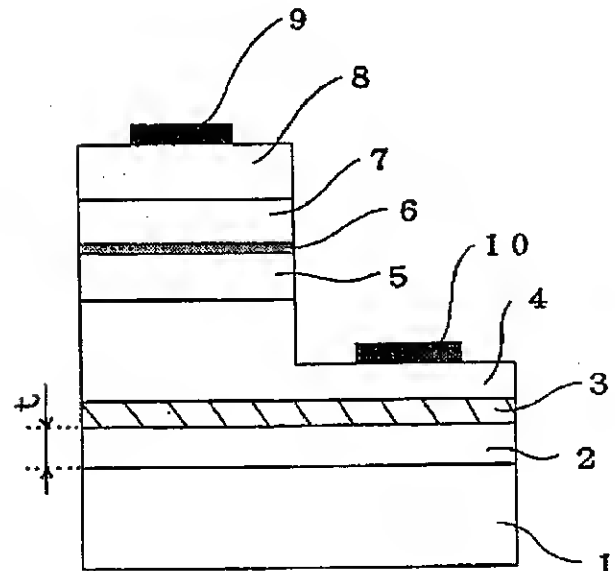
最終頁に続く

(54) 【発明の名称】 半導体素子とその製造方法

(57) 【要約】

【課題】 ピット数を低減し且つ平坦な成長層が得られる半導体素子とその製造方法を提供することが目的である。

【解決手段】 III-V族窒化物系半導体からなる半導体素子において、基板1上に、III-V族窒化物系半導体からなるパッファ層2及びアンドープのIII-V族窒化物系半導体からなる単結晶下地層3をこの順序で備える。



## 【特許請求の範囲】

【請求項 1】 III-V 族窒化物系半導体からなる半導体素子において、基板上に、III-V 族窒化物系半導体からなるバッファ層及びアンドープの III-V 族窒化物系半導体からなる単結晶下地層をこの順序で備えることを特徴とする半導体素子。

【請求項 2】 前記単結晶下地層上に、III-V 族窒化物系半導体からなる第 1 導電型のクラッド層、III-V 族窒化物系半導体からなる活性層、及び III-V 族窒化物系半導体からなる第 2 導電型のクラッド層をこの順序で備えることを特徴とする請求項 1 記載の半導体素子。

【請求項 3】 前記バッファ層は非単結晶層からなることを特徴とする請求項 1 又は 2 記載の半導体素子。

【請求項 4】 前記バッファ層は AlN 層からなることを特徴とする請求項 1、2、又は 3 記載の半導体素子。

【請求項 5】 前記バッファ層は AlGaIn 層からなることを特徴とする請求項 1、2、又は 3 記載の半導体素子。

【請求項 6】 前記下地層は GaN 層であることを特徴とする請求項 1、2、3、4、又は 5 記載の半導体素子。

【請求項 7】 前記下地層は AlGaIn 層であることを特徴とする請求項 1、2、3、4、又は 5 記載の半導体素子。

【請求項 8】 III-V 族窒化物系半導体からなる半導体素子を気相成長法を用いて製造する半導体素子の製造方法において、基板上に、III-V 族窒化物系半導体からなるバッファ層及びアンドープの III-V 族窒化物系半導体からなる単結晶下地層をこの順序で成長することを特徴とする半導体素子の製造方法。

【請求項 9】 前記 III-V 族窒化物系半導体からなるバッファ層の成長温度が、非単結晶成長温度であることを特徴とする請求項 8 記載の半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体素子とその製造方法に関する。

## 【0002】

【従来の技術】 GaN、AlGaIn、InGaIn、又は InAlGaIn 等の III-V 族窒化物系半導体からなる発光ダイオードや半導体レーザ等の発光素子は、直接遷移によって発光強度の大きい青色から紫外領域の発光、特に青色発光が可能ことから注目されている。

【0003】 図 4 は従来の III-V 族窒化物系半導体発光ダイオードを示す模式断面図である。

【0004】 図 4 中、101 はサファイヤ基板、102 は GaN バッファ層、103 は n 型クラッド層でもある n 型 GaN コンタクト層、104 は InGaIn 活性層、105 は p 型 AlGaIn クラッド層、106 は p 型 GaN コンタクト層、107 は p 側電極、108 は n 側電極

である。

【0005】 スる発光ダイオードの各層は以下のように形成される。

【0006】 まず、サファイヤ基板 101 上に、600℃の成長温度で非単結晶の GaN バッファ層 102 を MOCVD 法（有機金属気相成長法）により形成する。

【0007】 次に、n 型 GaN コンタクト層 103 を成長するために温度 1150℃まで昇温する。これにより GaN バッファ層 102 を単結晶化し、層 102 内に種単結晶を成長させる。その後、この種単結晶を有する GaN バッファ層 102 上に、n 型 GaN コンタクト層 103（成長温度：1150℃）、InGaIn 活性層 104（成長温度：860℃）、p 型 AlGaIn クラッド層 105（成長温度：1150℃）、及び p 型 GaN コンタクト層 106（成長温度：1150℃）を MOCVD 法によりこの順序で成長する。

## 【0008】

【発明が解決しようとする課題】 しかしながら、上記 GaN バッファ層 102 にはピット（穴等）が多数発生し、表面性（表面モフォロジー）が悪く、このバッファ層 102 上に形成した成長層、即ち n 型コンタクト層 103、活性層 104、p 型クラッド層 105、及び p 型コンタクト層 106 にピットが発生し、平坦性が著しく低下する。この結果、リーク電流が発生する他、特に、GaN バッファ層 102 上に形成した層はアンドープ状態で n-キャリア濃度が  $1 \times 10^{18} \text{ cm}^{-3}$  以上となり、p 型化することが困難であった。従って、殆ど発光しない等の特性劣化が生じ、製造歩留まりが非常に悪いという問題があった。

【0009】 この様な問題は、バッファ層 2 として、GaN 層に代えて非単結晶の AlN 層、AlGaIn 層を用いても同様に生じる。

【0010】 本発明は上述の問題点を鑑み成されたものであり、ピット数を低減し且つ平坦な成長層が得られる半導体素子とその製造方法を提供することが目的である。

## 【0011】

【課題を解決するための手段】 本発明の半導体素子は、III-V 族窒化物系半導体からなる半導体素子において、基板上に、III-V 族窒化物系半導体からなるバッファ層及びアンドープの III-V 族窒化物系半導体からなる単結晶下地層をこの順序で備えることを特徴とする。本発明の半導体素子は、ウェハ、発光ダイオードや半導体レーザなどの発光素子、フォトダイオードなどの受光素子等を意味する。

【0012】 更に、前記単結晶下地層上に、III-V 族窒化物系半導体からなる第 1 導電型のクラッド層、III-V 族窒化物系半導体からなる活性層、及び III-V 族窒化物系半導体からなる第 2 導電型のクラッド層をこの順序で備えることを特徴とする。この場合、発光ダイオ

ード、半導体レーザなどの発光素子として使用される。

【0013】特に、前記バッファ層は非単結晶層からなることを特徴とする。

【0014】更に、前記バッファ層はAlN層からなることを特徴とする。

【0015】更に、前記バッファ層はAlGaIn層からなることを特徴とする。

【0016】更に、前記下地層はGaN層であることを特徴とする。

【0017】更に、前記下地層はAlGaIn層であることを特徴とする。 10

【0018】また、本発明の半導体素子の製造方法は、III-V族窒化物系半導体からなる半導体素子を気相成長法を用いて製造する半導体素子の製造方法において、基板上に、III-V族窒化物系半導体からなるバッファ層及びアンドープのIII-V族窒化物系半導体からなる単結晶下地層をこの順序で成長することを特徴とする。

【0019】特に、前記III-V族窒化物系半導体からなるバッファ層の成長温度が、非単結晶成長温度であることを特徴とする。 20

【0020】更に、前記バッファ層はAlGaIn層からなることが好ましく、またAlN層でもよい。

【0021】更に、前記下地層はGaN層であることが好ましく、AlGaIn層でも好ましい。

【0022】更に、前記単結晶下地層上に、III-V族窒化物系半導体からなる第1導電型のクラッド層、III-V族窒化物系半導体からなる活性層、及びIII-V族窒化物系半導体からなる第2導電型のクラッド層をこの順序で気相成長法で形成して、発光ダイオードや半導体レーザ等の発光素子を形成してもよい。

【0023】上記第1、第2導電型のクラッド層は、AlGaIn層又はGaN層がよい。

【0024】上記バッファ層が $Al_xGa_{1-x}N$  ( $0 < x \leq 1$ ) からなる場合、Al組成比 $x$ は0.4以上1以下がよく、更に好ましいのは、0.5以上0.6以下である。

【0025】また、上記 $Al_xGa_{1-x}N$  ( $0 < x \leq 1$ ) バッファ層の層厚は、80Å以上180Å以下の範囲が非常に好ましく、90Å以上160Å以下が更に好ましく、更に好ましいのは90Å以上140Å以下である。 40

【0026】特に、バッファ層としては、層厚100Å以上130Å以下、より好ましくは略110~120Åの $Al_xGa_{1-x}N$  ( $x$ は略0.5)層がよい。

【0027】特に、前記活性層から構成元素が脱離するのを抑制するために、前記活性層上全面に密接してIII-V族窒化物系半導体からなるキャップ層を形成することが好ましい。このキャップ層は気相成長法により形成するのが好ましい。

【0028】特に、前記活性層は、Inを含有し、更にはInGaN層からなってもよい。

【0029】特に、前記キャップ層は前記活性層よりバンドギャップが大きいことが好ましい。このキャップ層のバンドギャップは、活性層と第2導電型のクラッド層のバンドギャップの中間の大きさであるのがより好ましい。

【0030】更に、前記キャップ層はアンドープ層であることが好ましい。

【0031】また、前記キャップ層は量子効果を略有しない層厚以上の層厚を有することが好ましい。

【0032】特に、前記キャップ層は、GaN層であることを特徴とする。

【0033】また、InGaNからなる活性層を有するIII-V族窒化物系半導体発光素子を気相成長法を用いて製造する発光素子の製造方法において、前記活性層上に700℃以上950℃以下の成長温度でGaNからなるキャップ層を気相成長法により形成してもよい。

【0034】更に、前記キャップ層の結晶成長温度は、活性層が単結晶成長可能な温度以下であるのがよく、好ましくは活性層の成長温度と略同じ温度である。

【0035】前記キャップ層は前記活性層の形成に連続して形成するのが、活性層から構成元素が脱離しえる時間が殆どなくなるので好ましい。

【0036】上記気相成長法としては、MOCVD法が好ましい。

【0037】

【発明の実施の形態】本発明の実施の一形態であるIII-V族窒化物系半導体発光ダイオードを図1を用いて詳細に説明する。

【0038】図1中、1はサファイヤ絶縁基板、2は基板1上に形成された層厚 $t$  Åのアンドープの $Al_xGa_{1-x}N$  ( $0 < x \leq 1$ ) 非単結晶バッファ層、3はバッファ層2上に形成された層厚0.2 μmのアンドープのGaN単結晶下地層、4は下地層3上に形成された層厚1.4 μmのn型クラッド層を兼用するSiドープのn型GaNコンタクト層、5はn型コンタクト層4上に形成された層厚0.2 μmのZn及びSiがドープされた $In_qGa_{1-q}N$  ( $q=0.05$ ) 活性層、6は活性層5上に形成されたInGaN活性層5の結晶劣化を防止する層厚200 ÅのアンドープのGaNキャップ層、7はキャップ層6上に形成された層厚0.15 μmのMgがドープされたp型 $Al_zGa_{1-z}N$  ( $z=0.2$ ) クラッド層、8はp型クラッド層7上に形成された層厚0.3 μmのMgがドープされたp型GaNコンタクト層である。

【0039】9はp型コンタクト層8上の一部に形成されたAuからなるp側電極、10はp型コンタクト層8からn型コンタクト層4の層中の所定位置に至って除去されn型コンタクト層4が露出したn側電極形成領域上に形成されたAlからなるn側電極である。

50 【0040】斯る発光ダイオードの製造方法を説明す

る。本実施形態では有機金属化学気相成長法(MOCVD法)により各層が形成される。

【0041】まず、有機金属化学気相成長装置内に基板1を設置した後、非単結晶成長温度、例えば600℃の成長温度(基板温度)に保持した状態にして、キャリアガスとして $H_2$ 、 $N_2$ 、原料ガスとしてアンモニア、トリメチルガリウム(TMG)、又はトリメチルアルミニウム(TMA)を用い、基板1上に非単結晶の $AlGaIn$ 又は $AlIn$ バッファ層2を成長させる。

【0042】その後、バッファ層2上に、単結晶成長温度、好ましくは1000~1200℃、例えば1150℃の成長温度に保持した状態にして、キャリアガスとして $H_2$ 、 $N_2$ 、原料ガスとしてアンモニア、トリメチルガリウム(TMG)を用い、単結晶のアンダーの $GaN$ 下地層3を成長させる。

【0043】続いて、下地層3上に、単結晶成長温度、好ましくは1000~1200℃、例えば1150℃の成長温度に保持した状態で、キャリアガスとして $H_2$ 、 $N_2$ 、原料ガスとしてアンモニア、トリメチルガリウム(TMG)、ドーパントガスとして $SiH_4$ を用い、単結晶の $Si$ ドーパの $n$ 型 $GaN$ コンタクト層4を成長させる。

【0044】次に、 $n$ 型コンタクト層4上に、単結晶成長温度、好ましくは700~950℃、例えば860℃の成長温度に保持した状態にして、キャリアガスとして $H_2$ 、 $N_2$ 、原料ガスとしてアンモニア、トリエチルガリウム(TEG)、トリメチルインジウム(TMI)、ドーパントガスとして $SiH_4$ 、ジエチル亜鉛(DEZ)を用いて、単結晶の $Si$ 及び $Zn$ ドーパの $InGaIn$ 活性層5を成長させる。

【0045】引き続き、 $InGaIn$ 活性層5上に、単結晶成長温度、好ましくは700~950℃、例えば860℃の活性層5と同じ成長温度に保持した状態で、キャリアガスとして $H_2$ 、 $N_2$ 、原料ガスとしてアンモニア、トリメチルガリウム(TMG)を用い、活性層5の成長に連続して単結晶のアンダーの $GaN$ キャップ層6を成長させる。

【0046】その後、 $GaN$ キャップ層6上に、単結晶成長温度、好ましくは1000~1200℃、例えば1150℃の成長温度に保持した状態にして、キャリアガスとして $H_2$ 、 $N_2$ 、原料ガスとしてアンモニア、トリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)、ドーパントガスとして $Cp_2Mg$ (シクロペンタジエニルマグネシウム)を用い、単結晶の $Mg$ ドーパの $p$ 型 $AlGaIn$ クラッド層7を成長させる。

【0047】次に、 $p$ 型クラッド層7上に、単結晶成長温度、好ましくは1000~1200℃、例えば1150℃の成長温度に保持した状態にして、キャリアガスとして $H_2$ 、 $N_2$ 、原料ガスとしてアンモニア、トリメチルガリウム(TMG)、ドーパントガスとして $Cp_2Mg$

(シクロペンタジエニルマグネシウム)を用い、単結晶の $Mg$ ドーパの $p$ 型 $GaN$ コンタクト層8を成長させる。

【0048】上記結晶成長後、基板1を上記装置から取り出し、 $p$ 型コンタクト層8から $n$ 型コンタクト層4の層途中までを反応性イオンビームエッチング法(RIE法)によりエッチング除去して、 $n$ 型コンタクト層4が露出した $n$ 側電極形成領域を作製する。

【0049】そして、 $p$ 型コンタクト層8及び $p$ 型クラッド層7のドーパントを活性化して高キャリア濃度にすると共に、 $n$ 型コンタクト層4のエッチングによる結晶劣化を回復するために、窒素雰囲気中、700~800℃で30~60分間熱処理を行う。

【0050】その後、 $p$ 型コンタクト層8上に $Au$ からなる $p$ 側電極9を蒸着法等により形成すると共に、 $n$ 型コンタクト層4の上記 $n$ 側電極形成領域上に $Al$ からなる $n$ 側電極10を蒸着法等により形成した後、500℃で熱処理して $p$ 側、 $n$ 側電極9、10をそれぞれオーミック接触させて、図1に示す発光ダイオードを形成する。

【0051】図2は、上記発光ダイオード作製条件と同条件で、サファイヤ基板1上に、バッファ層2として層厚 $t$ のアンダーの $Al_xGa_{1-x}N$  ( $0 < x < 1$ ) 非単結晶層、及びアンダーの $GaN$ 単結晶下地層3をこの順序で形成したウエハの下地層3上へX線照射して求めたX線ロックアップカーブのFWHM(半値幅)の値を示し、図3は、上記同条件で、サファイヤ基板1上に、バッファ層2として層厚 $t$ のアンダーの $AlN$ 非単結晶層、及びアンダーの $GaN$ 単結晶下地層3をこの順序で成したウエハの下地層3上へX線照射することにより求めたX線ロックアップカーブのFWHMの値を示す。

【0052】この図2及び図3から、バッファ層2が $Al_xGa_{1-x}N$  ( $0 < x \leq 1$ ) からなる場合には、 $Al$ 組成比 $x$ は0.4以上1以下がよく、更に好ましいのは、0.5以上0.6以下である。

【0053】また、上記 $Al_xGa_{1-x}N$  ( $0 < x \leq 1$ ) バッファ層2は、80Å以上180Å以下の範囲で極小点を有するので、この範囲が非常に好ましく、90Å以上160Å以下が更に好ましく、更に好ましいのは90Å以上140Å以下である。

【0054】特に、バッファ層2としては、層厚100Å以上130Å以下、より好ましくは略110~120Åの $Al_xGa_{1-x}N$  ( $x$ は略0.5)層がよい。

【0055】上記 $Al_xGa_{1-x}N$  ( $0 < x \leq 1$ ) バッファ層2上の形成された $GaN$ 下地層3は、上述から判るようにFWHMがよく、しかもピットが低減され、平坦性及び表面モフォロジーが非常に良好であった。

【0056】例えば、バッファ層2として、層厚110Åのアンダーの $Al_{0.5}Ga_{0.5}N$ 層を用いた発光ダイオードは、下地層3上に成長された各成長層にはピットがなく、平坦性、表面性に非常に優れており、ピットに

起因したリーク電流による特性不良の発生がなく、しかも良好な p 型層が得られ、製造歩留まりが非常によい。

【0057】更に、本実施形態の発光ダイオードでは高出力発光が実現できた。その理由は、良好な下地層 3 より活性層 5 の結晶性が良くなったためである。

【0058】加えて、本実施形態では、InGa<sub>N</sub>活性層 5 に密接して形成されたアンドープの GaN キャップ層 6 を有する構成により、活性層 5 の形成中又は形成後に活性層 5 から In 等が脱離するのが抑制され、活性層 5 の結晶欠陥の数が低減し、結晶性の劣化が抑制されるためであり、更には、上記活性層 5 は結晶欠陥が少ないので、この活性層 5 へ不所望な不純物が拡散するのが抑制されたためと考えられるからである。

【0059】更に、本実施形態のキャップ層 6 は、故意にドーパントを使用することなく形成される、所謂アンドープ層であるので、活性層 5 への不所望な不純物の拡散が十分に抑制され、更に活性層 5 を良好な状態にできるため、より高出力化が図れている。即ち、本実施形態の場合、活性層 5 からの構成元素の脱離が抑制されて活性層 5 の結晶欠陥数の低減したことによる活性層 5 への不純物の拡散抑制効果と、キャップ層 6 がアンドープ層であることによる活性層 5 への不純物の拡散抑制効果の両効果により、活性層 5 への不所望な不純物拡散が顕著に抑制されるので、より高出力化が実現できるのである。

【0060】このように、本実施形態の発光ダイオードは、発光波長のバラツキが小さく、不発光になる恐れも殆どなく、しかも、発光強度が顕著に大きく、製造歩留まりも非常によい。

【0061】一方、サファイヤ基板 1 上に層厚 200 Å (最適値) のアンドープの非単結晶 GaN バッファ層及び層厚 1、2 μm のアンドープの単結晶の GaN 下地層を MOCVD 法で成長したウエハの GaN 下地層上へ X 線照射することにより求めた X 線ロックインガットの FWHM は、約 410 sec と非常に小さい値を得られたが、ピットが多数発生し、このウエハを用いた素子製造歩留まりは著しく悪かった。

【0062】また、下地層を用いずにアンドープの GaN 非単結晶バッファ層、アンドープの AlGa<sub>N</sub> 非単結晶バッファ層、又はアンドープの AlN 非単結晶バッファ層を用いた場合も素子製造歩留まりは著しく悪かった。

【0063】上述の発光ダイオードの製造方法では、基板 1 上に非単結晶成長温度で非単結晶のバッファ層 2 を密接して形成した後、単結晶成長温度に昇温保持した状態でバッファ層 2 上にアンドープの GaN 単結晶下地層 3 を密着形成するので、ピット数を低減でき、結晶性、表面性、及び平坦性が非常に優れた単結晶下地層 3 を形成できる。この結果、この下地層 3 上に形成する各層の結晶性、平坦性、及び表面性が非常に良好になるので、

歩留まりが向上する共に、良好な p 型層も得られる。

【0064】特に、スル発光ダイオードの製造は、InGa<sub>N</sub>活性層 5 全面直上に、アンドープの GaN キャップ層 6 を InGa<sub>N</sub>活性層 5 の結晶成長可能な温度以下で成長するので、このキャップ層 6 を形成する際に、InGa<sub>N</sub>活性層 5 の構成元素の脱離を抑制できると共に、キャップ層 6 を形成した後に InGa<sub>N</sub>活性層 5 からの構成元素の脱離を防止できるので、好ましい製造方法である。

【0065】特に、本実施形態では、活性層 5 とキャップ層 6 の成長温度を略同じとして連続的に成長するので、活性層 5 からの構成元素の脱離を十分に抑制できる。

【0066】なお、上述では、キャップ層 6 の層厚を 200 Å とした時の発光強度が 340 (任意単位) であるのに対して、キャップ層 6 の層厚を 100 Å とした時は、キャップ層 6 がない場合よりは大きい、発光強度が 36 (任意単位) と略 10 分の 1 となった。また、キャップ層 6 の層厚を 300 Å とした時は、層厚を 200 Å とした時の 1.4 倍、層厚を 400 Å とした時は、0.8 倍であった。このことから、キャップ層 6 の層厚は、200~400 Å で好ましい効果があることが判り、キャップ層 6 の層厚は量子効果が略生じない層厚以上が好ましいと言える。

【0067】尚、アンドープの単結晶下地層 3 としては、GaN 層のほか、AlGa<sub>N</sub> 層でもよいが、AlN 層は好ましくない。

【0068】次に、本発明の第 2 の実施形態に係る III-V 族窒化物系半導体発光ダイオードを説明する。

【0069】本実施形態が第 1 の形態と異なる点は、キャップ層 6 として、アンドープの GaN 層に代えて層厚 200 Å のアンドープの Al<sub>u</sub>Ga<sub>1-u</sub>N 層 (u は略 0.1、0.2) を用いた点である。この Al<sub>u</sub>Ga<sub>1-u</sub>N 層も MOCVD 法により形成され、成長温度は、単結晶成長温度、好ましくは 700~950℃、例えば 860℃ であり、キャリアガスは H<sub>2</sub>、N<sub>2</sub>、原料ガスはアンモニア、トリメチルガリウム (TMG)、トリメチルアルミニウム (TMA) である。

【0070】この場合も、キャップ層 6 がない場合に比べて発光強度は顕著に大きくなり、製造歩留まりも向上した。

【0071】しかしながら、第 1 実施形態でアンドープの GaN キャップ層 6 が 200 Å の時の発光強度が 450 (任意単位) であるとした時に比べて、u が約 0.1 であるアンドープの Al<sub>u</sub>Ga<sub>1-u</sub>N キャップ層 6 の場合の発光強度は、半分以下の 190 (任意単位) であった。

【0072】更に、u が約 0.2 であるアンドープの Al<sub>u</sub>Ga<sub>1-u</sub>N キャップ層 6 の場合の発光強度は、u が 0.1 の場合の 3 分の 1 であった。

【0073】上述のことから、キャップ層6のバンドギャップの大きさは活性層5とp型クラッド層7のバンドギャップの間にあるのが好ましく、しかもキャップ層6はGa<sub>1-x</sub>Nが最も好ましく、Al<sub>x</sub>Ga<sub>1-x</sub>N層を使用する場合にもp型クラッド層7のバンドギャップより小さくするのがよい。

【0074】また、上述では、n型コンタクト層4直上に活性層5を形成しているが、上記n型コンタクト層4と活性層5の間にn型AlGa<sub>1-x</sub>Nクラッド層を介在させてもよい。

【0075】上記各実施形態では、活性層5として量子井戸構造でない、非量子井戸構造の活性層を用いたが、勿論、単一量子井戸構造、多重量子井戸構造を用いてもよく、例えば、In<sub>s</sub>Ga<sub>1-s</sub>N (1>s>0) 量子井戸層からなる単一量子井戸構造、In<sub>s</sub>Ga<sub>1-s</sub>N (1>s>0) 量子井戸層とIn<sub>r</sub>Ga<sub>1-r</sub>N (1>s>r≥0) 量子障壁層をからなる多重量子井戸構造としてもよい。

【0076】上記各実施形態では、絶縁基板上に半導体層を備えた発光素子について述べたが、SiC基板等の導電性基板上に半導体層を備え、この半導体層の最上層と基板の下面に電極を有する発光素子にしてもよい。

【0077】また、上述では、n型クラッド層上に活性層、p型クラッド層をこの順序で形成したが、p型クラッド層上に活性層、n型クラッド層をこの順序で形成するようにしてもよく、即ち上述とは逆導電型としてもよい。

【0078】また、上記各実施形態では、ダブルヘテロ構造の発光ダイオードについて述べたが、本発明は単純なpn接合からなる発光ダイオードにも適用できる他、発光ダイオード以外の半導体レーザ等の発光素子、フォトダイオードなどの受光素子などの半導体素子にも応用できる。

【0079】尚、上述では下地層3として、0.2μmの層厚を用いたが、数百Å～数千Åの範囲で適宜変更可能である。

【0080】

【発明の効果】本発明の半導体素子は、III-V族窒化物系半導体からなる半導体素子において、基板上に、II-V族窒化物系半導体からなるバッファ層及びアンドープのIII-V族窒化物系半導体からなる単結晶下地層をこの順序で備えるので、この単結晶下地層はピット数が低減し、結晶性、平坦性、及び表面性が良好になる。この結果、この単結晶上に形成されるIII-V族窒化物系半導体からなる成長層の結晶性、平坦性、及び表面性が良好となると共に、良好なp型層も得られる。

【0081】従って、半導体素子の製造歩留まりを大幅に向上できる。そして、半導体素子が発光素子の場合、高い光出力が可能である。

【0082】特に、前記単結晶下地層上に、III-V族窒化物系半導体からなる第1導電型のクラッド層、III

-V族窒化物系半導体からなる活性層、及びIII-V族窒化物系半導体からなる第2導電型のクラッド層をこの順序で備える場合、ピットに起因したリーク電流の発生をなくすことができ、製造歩留まりを大幅に向上できると共に、発光強度の大きい発光ダイオードや半導体レーザなどの発光素子を提供できる。

【0083】特に、前記バッファ層は非単結晶層からなる場合に、バッファ層として十分に機能するので、製造歩留まりを顕著に向上できる。

10 【0084】更に、前記バッファ層はAlN層からなる場合、製造歩留まりをより向上できる。

【0085】特に、前記バッファ層はAlGa<sub>1-x</sub>N層からなる場合、製造歩留まりをより好ましく向上できる。

【0086】更に、前記下地層はGa<sub>1-x</sub>N層である場合、製造歩留まりを好ましく向上できる。

【0087】また、前記下地層はAlGa<sub>1-x</sub>N層である場合、製造歩留まりを好ましく向上できる。

20 【0088】また、本発明の半導体素子の製造方法は、III-V族窒化物系半導体からなる半導体素子を気相成長法を用いて製造する半導体素子の製造方法において、基板上に、III-V族窒化物系半導体からなるバッファ層及びアンドープのIII-V族窒化物系半導体からなる単結晶下地層をこの順序で成長するので、単結晶下地層の結晶性及び表面性を良好にできる。この結果、この単結晶下地層上に形成されるIII-V族窒化物系半導体からなる成長層の結晶性、平坦性、及び表面性が良好となるので、半導体素子の製造歩留まりを向上できる。

30 【0089】特に、前記III-V族窒化物系半導体からなるバッファ層の成長温度が、非単結晶成長温度である場合、好ましく半導体素子の製造歩留まりを向上できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の発光ダイオードの模式断面図である。

【図2】基板上にアンドープのAlGa<sub>1-x</sub>Nバッファ層及びアンドープのGa<sub>1-x</sub>N下地層をこの順に被着形成したウエハにおいて、バッファ層の層厚とX線ロックアップカーブのFWHMの関係を示す図である。

40 【図3】基板上にアンドープのAlNバッファ層及びアンドープのGa<sub>1-x</sub>N下地層をこの順に被着形成したウエハにおいて、バッファ層の層厚とX線ロックアップカーブのFWHMの関係を示す図である。

【図4】従来の発光ダイオードの模式断面図である。

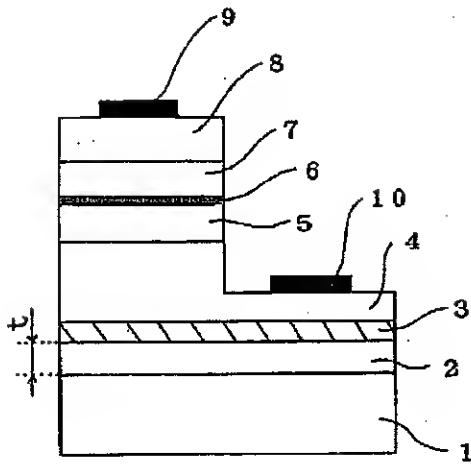
【符号の説明】

- 1 基板
- 2 アンドープのAlGa<sub>1-x</sub>Nバッファ層
- 3 アンドープのGa<sub>1-x</sub>N単結晶下地層
- 4 n型Ga<sub>1-x</sub>Nコンタクト層 (n型クラッド層)
- 5 InGa<sub>1-x</sub>N活性層
- 50 6 アンドープのGa<sub>1-x</sub>Nキャップ層

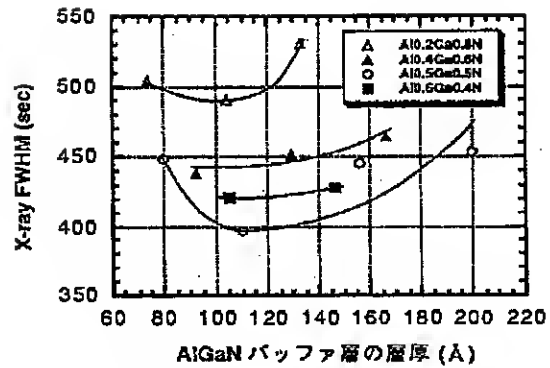


## 7 p型AlGaInクラッド層

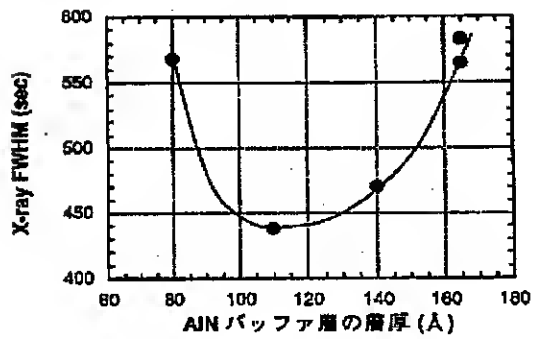
【図1】



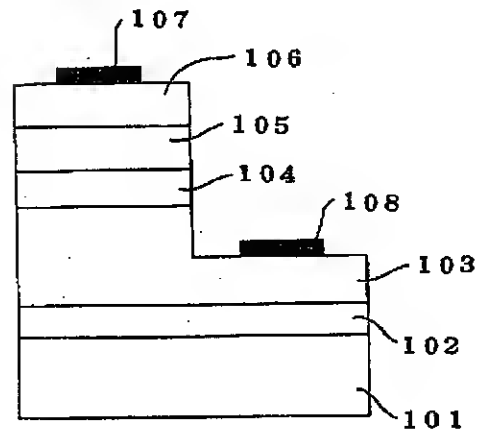
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 松下 保彦

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 八木 克己

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

**THIS PAGE BLANK (USPTO)**